

Avis de Soutenance

Monsieur Oussama OULKAID

Informatique

Soutiendra publiquement ses travaux de thèse intitulés

Modèles Formels des Circuits Intégrés pour la Vérification Électrique au Niveau Transistor

dirigés par Monsieur Matthieu MOY

Soutenance prévue le **vendredi 21 novembre 2025** à 14h00

Lieu : Maison Jean Kuntzmann - amphithéâtre au 110 rue de la Chimie à Saint-Martin-d'Hères (38)

Composition du jury proposé

| | | |
|-------------------------|-------------------------------------|--------------------|
| M. Matthieu MOY | Université Lyon 1 | Directeur de thèse |
| Mme Emmanuelle ENCRENAZ | Sorbonne Université | Rapporteure |
| Mme Katell MORIN-ALLORY | Grenoble INP | Rapporteure |
| M. Arnaud VIRAZEL | Université de Montpellier | Examineur |
| M. Lars HEDRICH | Université de Francfort (Allemagne) | Examineur |
| M. Xavier URBAIN | Université Lyon 1 | Examineur |
| M. Bruno FERRES | Université Grenoble Alpes | Invité |
| M. Pascal RAYMOND | CNRS St Martin d'Hères | Invité |

Mots-clés : Vérification des Règles de Conception Electriques, Vérification Formelle, SMT Solving, Circuits Intégrés, Niveau Transistor, Sémantique de Circuits,

Résumé :

La conception de puces électroniques est une tâche extrêmement complexe. Elle implique de vastes équipes d'ingénieurs dotés d'un large socle de compétences. Leur objectif collectif est de fabriquer des puces conformes à leurs spécifications respectives et exemptes de bogues. Malgré les efforts déployés, il n'est pas rare que les puces fabriquées contiennent des erreurs de conception qui sont passées inaperçues. Un tel scénario est un cauchemar pour les entreprises de semiconducteurs, le coût de correction des bogues post-fabrication étant énorme. Les entreprises consacrent ainsi plus de ressources aux tests et à la vérification qu'elles n'en consacrent à d'autres étapes de la conception. Il est donc important que les erreurs de conception soient détectées le plus tôt possible; le plus tôt une erreur est découverte, moins il en coûtera de la réparer. Cette thèse étudie le problème de la vérification de certaines erreurs dans les circuits intégrés. Nous nous intéressons en particulier aux erreurs de conception dites électriques. Celles-ci sont causées par des violations des règles de conception propres aux propriétés électriques. Nous présentons les techniques de vérification de circuits existantes afin d'en comprendre les limites. Nous présentons ensuite notre propre approche et démontrons son utilisation pour détecter des violations de propriétés électriques dans des circuits industriels. Pour ce faire, nous définissons d'abord la sémantique de circuits au niveau transistor, que l'on peut considérer comme un problème de satisfiabilité modulo des théories

(SMT). Les propriétés (e.g., l'absence d'une erreur) sont ensuite formalisées et vérifiées par rapport à la formule du circuit à l'aide d'un solveur SMT, en l'occurrence Z3. En plus de la détection des erreurs électriques, nous abordons le problème de l'analyse de la fiabilité des circuits, et plus précisément, celui de déterminer la borne inférieure pour la fiabilité d'un circuit et de l'état électrique lui correspondant. En effet, les conditions d'utilisation d'un circuit déterminent son taux de dégradation. À chaque état du circuit est associée une fiabilité en fonction du temps, et cela pour un mécanisme de défaillance donné et ses paramètres de modèle. Donc, rechercher la borne inférieure pour la fiabilité revient à identifier l'état du circuit le moins fiable à un moment donné. Cet objectif est atteint en résolvant le problème d'optimisation modulo des théories (OMT) correspondant. Les informations qui en résultent donnent aux concepteurs de circuits de solides garanties sur la durée de vie de leurs circuits. Ces garanties doivent être sûres. Cependant, il est également important que ces informations soient les plus réalistes possibles. Les techniques présentées dans cette thèse utilisent des sémantiques de circuits dérivées du comportement réel du circuit. Différentes sémantiques, basées sur différents niveaux de détail dans la modélisation, sont explorées, mises en œuvre, validées par rapport à la simulation (qui représente un standard pour la vérification des propriétés considérées), et comparées entre elles. Les résultats empiriques fournissent une idée sur le compromis entre la performance et la précision de l'analyse.